(19)日本国特許庁(JP)

(12)特許公報 (B2)

(11)特許番号

第2932768号

D

(45)発行日 平成11年(1999)8月9日

(24) 登録日 平成11年(1999) 5月28日

(51) Int. C1. 6

識別記号

H 0 1 C 13/02

7/10

FΙ

H01C 13/02

7/10

請求項の数2

(全4頁)

(21)出願番号 特願平3-183828

(22)出願日

平成3年(1991)6月27日

(65)公開番号

特開平5-6810

(43)公開日

平成5年(1993)1月14日

審査請求日

平成10年(1998)4月9日

(73)特許権者 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 平 浩明

京都府長岡京市天神2丁目26番10号 株式

会社村田製作所内

(72)発明者 中村 和敬

京都府長岡京市天神2丁目26番10号 株式

会社村田製作所内

(72)発明者 米田 康信

京都府長岡京市天神2丁目26番10号

会社村田製作所内

(74)代理人 弁理士 下市 努

審查官 酒井 朋広

(58)調査した分野 (Int. Cl. 6, DB名)

H01C 7/10, 13/02

(54) 【発明の名称】抵抗付チップバリスタ

(57) 【特許請求の範囲】

【請求項1】 セラミックス焼結体内に少なくとも一対 の内部電極を埋設し、該各内部電極の両端面を上記焼結 体の各側面に露出するとともに、該焼結体の少なくとも 一側面に抵抗層を形成し、該抵抗層を介して上記内部電 極の一端面を外部に導出したことを特徴とする抵抗付チ ップバリスタ。

【請求項2】 請求項1において、上記抵抗層を、抵抗 シートを貼着して、又は抵抗ペーストを塗布して形成し たことを特徴とする抵抗付チップバリネタ。

【発明の詳細な説明】

[0001]

【産業上の利用分野】本発明は、電圧非直線抵抗体とし て機能するチップバリスタに関し、特に静電気サージ等 の高電圧パルスによる半導体部品の破壊、誤動作を確実

に防止できるとともに、部品点数を削減して実装コスト を低減でき、かつ電子機器の小型化に貢献できるように した構造に関する。

[0002]

【従来の技術】近年、IC、LSIをはじめとする半導 体部品では、高速処理、高速駆動、低電圧化が急速に進 んでおり、これにともなって静電気サージ等の高電圧パ ルスの侵入による半導体部品の破壊、誤動作が生じるお それがある。そのために電源部、信号ラインの入、出力 部にノイズフィルタを接続して上記高電圧パルスを吸収 するようにしている。このような信号ライン用のノイズ フィルタとして、従来、数 p F ~数100 p F のコンデン サやインダクタが用いられている。しかし、このコンデ ンサを用いても静電気のような高電圧パルスを吸収する ことは困難であり、半導体部品の誤動作等を確実に防止

することができない。これはインダクタを用いた場合も 同様のことがいえる。このようなコンデンサに代わるも のとして、従来、電圧非直線抵抗特性を有するZnO系 バリスタが採用されている。このバリスタは低電圧、低 容量であることから、上記高電圧パルスを吸収するノイ ズフィルタとして適している。ところが、上記従来のバ リスタを単独でノイズフィルタとして用いた場合、該バ リスタに数10K v の静電気サージが侵入すると約100Aの 電流が瞬間的に流れることから、半導体部品を保護する には、例えば上記バリスタのV_{100A}を半導体部品の破壊 10 電圧以下に設定しなければならない。一方、上記バリス タのV_{1mA} は定格電圧の数倍程度確保する必要があるこ とから、この両方を満足するには非常に大きな非直線係 数が要求される。しかし、この非直線係数の向上には限 界があることから、上記従来のバリスタ単独では高電圧 パルスから半導体部品を保護しきれない場合がある。従 って、従来、図4に示すように、バリスタ2の信号ライ ン20に抵抗体21を直列接続し、該抵抗体21により 半導体部品22を高電圧パルスから保護するようにして いる。このようによればバリスタの非直線係数が従来程 20 度でも静電気サージの吸収が可能となる。

[0003]

Ω

T

【発明が解決しようとする課題】ところで、上記従来の バリスタに抵抗体を直列接続して保護回路を構成する場 合、回路基板にバリスタと抵抗体とを別々に実装するこ とから、該抵抗体の分だけ部品点数が増えるとともに、 実装コストが上昇するという問題がある。また、抵抗体 の分だけ実装スペースが拡大することから、近年の電子 機器の分野における小型化に対応できないという問題も ある。

【0004】本発明は、上記従来の状況に鑑みてなされ たもので、高電圧パルスの侵入による半導体部品の破 壊、誤動作を確実に防止できるとともに、部品点数、実 装コストを低減でき、しかも小型化に対応できる抵抗付 チップバリスタを提供することを目的としている。

[0005]

【課題を解決するための手段】そこで請求項1の発明 は、焼結体内に少なくとも一対の内部電極を埋設し、該 各内部電極の両端面を上記焼結体の各側面に露出すると ともに、該焼結体の少なくとも一側面に抵抗層を形成 し、該抵抗層を介して上記内部電極の一端面を導出した ことを特徴とする抵抗付チップバリスタである。また、 請求項2の発明は、上記抵抗層を、抵抗シートを貼着し たり、あるいは抵抗ペーストを塗布したりして形成した ことを特徴としている。

[0006]

【作用】請求項1の発明に係る抵抗付チップバリスタに よれば、焼結体の側面に抵抗層を形成し、該抵抗層を内 部電極の一端面に接続したので、該抵抗層が付加された

サージが侵入しても内部電極間のバリスタ部で高電圧パ ルスを吸収するとともに、この時の吸収電圧が半導体部 品の破壊電圧より高い場合は上記抵抗層が吸収すること となり、半導体部品の誤動作や破壊を確実に防止でき る。また、上記焼結体の側面に抵抗層を形成するだけの 構造であるから、バリスタ機能と抵抗機能とを単一の素 子で得ることができ、従来のバリスタと抵抗体とを別々 に実装する場合に比べて部品点数を削減できるととも に、実装コストを低減できる。さらに従来の抵抗体を不 要にできる分だけ実装スペースを縮小でき、電子機器の 小型化に対応できる。また、請求項2の発明では、抵抗 層を抵抗シートを貼着したり、あるいは抵抗ペースト塗 布したりして形成したので、抵抗層の厚さや面積を変え ることにより、容易にかつ正確に抵抗値を制御できる。 [0007]

【実施例】以下、本発明の一実施例を図について説明す る。図1ないし図3は本発明の一実施例による抵抗付チ ップバリスタを説明するための図である。図において、 1は本実施例の抵抗付チップバリスタであり、これは直 方体状のセラミックス焼結体2の内部に第1, 第2内部 電極3, 4を交差させて埋設し、該焼結体2の左, 右端 面2a,2bに端面電極5,5を形成するとともに、上 記焼結体2の両側面2c, 2dの中央部に側面電極6, 6を形成して構成されている。また、上記焼結体2の、 第1, 第2内部電極3, 4に挟まれた部分は電圧非直線 特性を発現するセラミックス層7aとなっており、該セ ラミックス層 7 a は所定のバリスタ電圧が得られる厚さ に設定されている。さらに上記焼結体2のセラミックス 層7a以外の上部,及び下部はダミーとしてのセラミッ 30 クス層7b, 7cとなっている。

【0008】また、上記第1内部電極3の両端面3a, 3 b は焼結体2の両側面2 c, 2 d に露出しており、残 りの端面は焼結体2内に封入されている。さらに上記第 1内部電極3の各端面3a, 3bは上記側面電極6に接 続されている。さらにまた、上記第2内部電極4の両端 面4a、4bは上記焼結体2の左、右端面2a、2bに 露出されており、残りの端面は焼結体2内に封入されて いる。

【0009】そして、上記焼結体2の右端面2bには抵 40 抗層8が形成されている。この抵抗層8は上記第2内部 電極4の端面4bに接続されており、これにより該第2 内部電極4は抵抗層8を介して上記端面電極5に接続さ れている。

【0010】次に本実施例の抵抗付チップバリスタ1の 製造方法について説明する。まず、ZnO(97.8 mol %), B i 2 O3 (0.5mol %), MnO(0.5mol %), CO2 O₃(0.5 mol %), S b₂ O₃(0.7 mol %) を混合してな るセラミックス材料に、有機バインダー、アルコールを 混合してスラリーを形成する。このスラリーからドクタ 内部電極を信号ラインに接続することによって、静電気 50 ーブレード法により所定厚さのグリーンシートを形成

し、このグリーンシートを所定寸法の矩形状に切断して 多数のセラミックスシートを形成する。これにより、電 圧非直線特性を発現するセラミックス層7a,及びダミ ーとしてのセラミックス層7b, 7cを多数枚形成す る。次に、上記セラミックス層7aの上面の中央部にA g/ Pd=7/3からなるペーストを印刷して帯状の第 2内部電極4を形成する。この場合、該内部電極4の両 端面4a,4bのみがセラミックス層7aの両外縁に位 置するように形成する。次いで、1枚のダミー用セラミ ックス層7cの上面の中央部に上記第2内部電極4と交 10 差するよう上記ペーストを印刷して第1内部電極3を形 成する。この場合も、該内部電極3の両端面3a、3b のみがセラミックス層7cの両外縁に位置するように形 成する。次に、図3に示すように、上記セラミックス層 7aの上部に多数枚のダミー用セラミックス層7bを重 ねるとともに、下部に第1内部電極3が形成されたセラ ミックス層7cを重ねるとともに、残りのダミー用セラ ミックス層7cを重ね、これをプレスで圧着して積層体 を形成する。これにより上記セラミックス層7aを挟ん で第1, 第2内部電極3, 4の交差部が対向し、かつ第 20 1, 第2内部電極3, 4の両端面3a, 3b, 4a, 4 bのみが積層体の各側面に露出するとともに、残りの各 端面が積層体内に埋設されることとなる。次いで、上記 積層体を空気中にて1000℃に加熱焼成して焼結体2を得 る。そして、上記焼結体2の右端面2bにカーボン、酸 化ルテニウムからなる抵抗シートを貼着した後、焼き付 けて抵抗層8を形成する。なお、この抵抗層は上記カー ボン、酸化ルテニウムからなるペーストを塗布して形成 してもよい。最後に、上記焼結体2の左,右端面2a, 2 b、及び両側面 2 c, 2 d の中央部にAg/ P d = 7 / 3からなるペーストを塗布した後、焼き付けて端面電 極5,側面電極6を形成する。これにより上記第1内部 電極3の両端面3a,3bは上記各側面電極6に接続さ れることとなり、第2内部電極4の左端面4aは端面電 極5に接続され、かつ右端面4bは抵抗層8を介して端 面電極5に接続される。これで本実施例の抵抗付チップ バリスタ1が製造される。

【0011】次に本実施例の作用効果について説明する。本実施例の抵抗付チップバリスタ1では、各端面電極5を信号ラインに接続し、各側面電極6を接地ライン 40に接続することにより、信号ラインから侵入する静電気サージなどの高電圧パルスを第1,第2内部電極3,4のセラミックス層7a部分で吸収し、側面電極6から放出する。この時の吸収電圧が半導体部品の破壊電圧より高い場合は抵抗層8がこの電圧を降下させる機能を有している。このように本実施例によれば、焼結体2の右側

面2bに抵抗層8を形成し、該抵抗層8を介して第2内部電極4の一端面4bを端面電極5に接続したので、上述のように半導体部品の破壊電圧より大きい静電気サージが侵入しても抵抗層8で抑制することができ、その結果IC, LSI等の半導体部品の誤動作や破壊を確実に回避できる。また、本実施例では、上記焼結体2の抵抗層8を形成するだけでよいから、1つの素子にバリスタ機能と抵抗機能とを付加することができ、従来のバリスタと抵抗体とを別々に実装する場合に比べて部品点数を削減できるとともに、実装コストを低減でき、しかも実装スペースを縮小して電子機器の小型化に対応できる。さらに、本実施例では、上記抵抗層8の厚さ、面積等を変えることにより、抵抗値を容易に設定できる。

【0012】なお、上記実施例では、抵抗層8を焼結体2の右端面2bにのみ形成した場合を例にとったが、本発明は焼結体2の左、右端面2a,2bの両方に抵抗層を形成してもよい。また、上記実施例では、焼結体2内に一対の内部電極3,4を埋設したが、本発明はこれに限るものではなく、複数組の内部電極を埋設したものにも適用できる。

[0013]

【発明の効果】以上のように本発明に係る抵抗付チップバリスタによれば、焼結体の側面に抵抗層を形成し、該抵抗層を介して内部電極の一端面を外部に導出したので、電源部、信号ラインの入、出力部から侵入した静電気サージ等の高電圧パルスを吸収でき、半導体部品の誤動作や破壊を確実に防止できる効果があり、また部品点数、実装コストを低減できるとともに、実装スペースを縮小して電子機器の小型化に貢献できる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例による抵抗付チップバリスタ を説明するための断面図である。

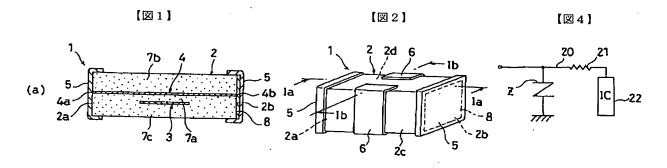
【図2】上記実施例の抵抗付チップバリスタの斜視図で ある

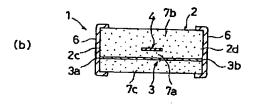
【図3】上記実施例の抵抗付チップバリスタの分解斜視 図である。

【図4】従来のバリスタに抵抗体を付加した状態を示す 等価回路図である。

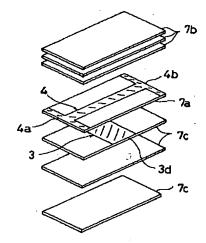
【符号の説明】

- 1 抵抗付チップバリスタ
- 2 焼結体
- 2 b 焼結体の端面 (側面)
- 3,4 第1,第2内部電極
- 4 b 内部電極の一端面
- 8 抵抗層





【図3】



18 00 1

Grant Control

• ;